

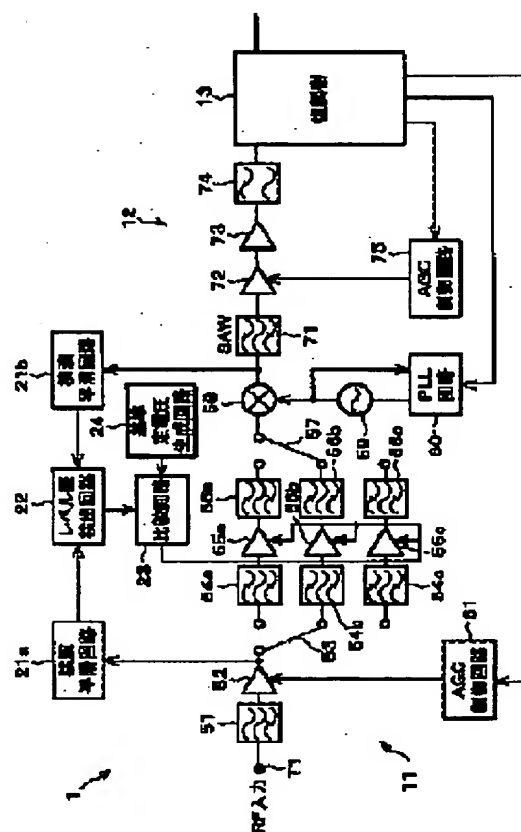
Patent number:	JP2002280852
Publication date:	2002-09-27
Inventor:	KOIZUMI HARUO
Applicant:	SHARP KK
Classification:	
- International:	H03G3/20; H03G3/30; H04B1/16; H04B1/26
- european:	H04L27/38A
Application number:	JP20010079161 20010319
Priority number(s):	JP20010079161 20010319

 US2002131533 (A)

Abstract of JP2002280852

PROBLEM TO BE SOLVED: To provide an automatic gain control circuit that can keep compatibility between a high reception sensitivity and a low waveform distortion even on the occurrence of manufacturing fluctuation in the circuit.

SOLUTION: A demodulator 13 controls a gain of an RF-AGC amplifier 52 and a gain of an IF-AGC amplifier 72 so as to make an input level to the demodulator 13 constant. In this case, the demodulator 13 estimates a signal level of an RF input on the basis of a sum of gains instructed to both the AGC amplifiers 52, 72 so as to revise a gain distribution method to them depending on whether or not the estimated signal level exceeds a predetermined TakeOver Point. Furthermore, a detection smoothing circuit 21a detects an output level of the RF-AGC amplifier 52 and a detection smoothing circuit 21b detects an output level of a mixer 58. Moreover, a comparator circuit 24 controls the gains of the RF-AGC amplifiers 55a-55c so that a difference between both the signal levels reaches a predetermined value.



THIS PAGE BLANK (USPTO)

特開 2002-280852

(P 2002-280852A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int. C1. ⁷		識別記号	F I		テ-マ-ト*(参考)	
H O 3 G	3/20		H O 3 G	3/20	C	5J100
	3/30			3/30	B	5K020
					F	5K061
					A.	
H O 4 B	1/16		H O 4 B	1/16	R	
審査請求	未請求	請求項の数 1 3	O L		(全 2 5 頁)	最終頁に続く

(21)出願番号 特願2001-79161(P2001-79161)

(22)出願日 平成13年3月19日(2001.3.19)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 小泉 治夫

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

(74)代理人 100080034

弁理士 原 謙三

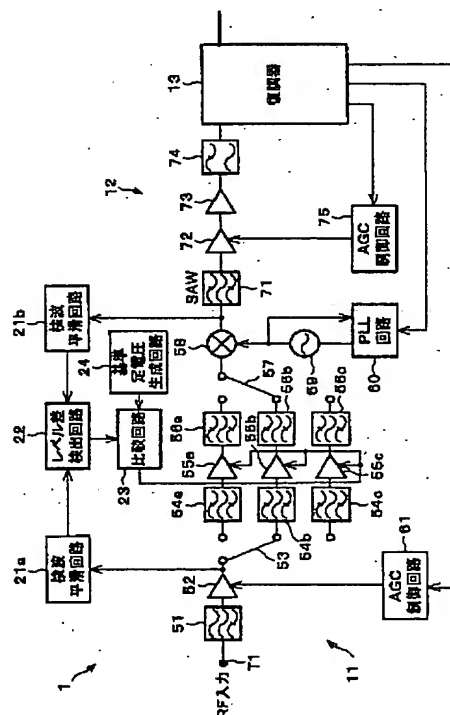
[最終頁に続く](#)

(54) 【発明の名称】 自動利得制御方法、および、自動利得制御回路

(57) 【要約】

【課題】 製造バラツキが発生しても、高い受信感度と低い波形歪みとを両立可能な自動利得制御回路を実現する。

【解決手段】 復調器 13 は、復調器 13 への入力レベルが一定となるように、RF-AGC アンプ 52 および IF-AGC アンプ 72 のゲインを制御している。その際、復調器 13 は、両 AGC アンプ 52・72 へ指示するゲインの合計に基づいて、RF 入力の信号レベルを推測し、当該信号レベルが予め定める TakeOver Point を超えるか否かに応じて、それぞれへのゲインの分配方法を変更する。さらに、検波平滑回路 21a は、RF-AGC アンプ 52 の出力レベルを検出し、検波平滑回路 21b が、混合器 58 の出力レベルを検出する。また、比較回路 24 は、両信号レベルの差が予め定められた値となるように、RF-AGC アンプ 55a~55c のゲインを制御する。



【特許請求の範囲】

【請求項1】入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含む自動利得制御方法において、

上記第1の利得制御工程で高周波信号の利得が制御された後から、上記第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の複数箇所、それぞれの信号レベルを検出するレベル検出工程と、上記レベル検出工程にて検出された各信号レベルの差が、予め定める一定値となるように、上記信号経路中の信号レベルを制御する第3の利得制御工程とを含んでいることを特徴とする自動利得制御方法。

【請求項2】入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有する自動利得制御回路において、

上記第1および第2の自動制御手段間の信号経路の複数箇所、それぞれの信号レベルを検出する検出手段と、上記信号経路上に設けられ、上記各検出箇所での信号レベル差が一定の値となるように利得が制御される第3の利得制御手段とを備えていることを特徴とする自動利得制御回路。

【請求項3】上記第3の利得制御手段は、上記周波数変換手段の後に設けられていることを特徴とする請求項2記載の自動利得制御回路。

【請求項4】上記第1の利得制御手段がピンダイオードで構成され、上記第3の利得制御手段がデュアルゲート電界効果トランジスタから構成されていることを特徴とする請求項2または3記載の自動利得制御回路。

【請求項5】入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含み、

上記利得決定工程は、上記第1および第2の利得制御工程での利得の合計が予め定める切り換え点を下回る場合、上記第2の利得制御工程での利得を固定する利得分配工程を含む自動利得制御方法において、

上記利得の合計が上記切り換え点を下回る信号レベルの

高周波信号が上記入力端子へ入力されている状態で、上記第1の利得制御工程で高周波信号の利得が制御された後から上記第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の特定箇所の信号レベルを検出するレベル検出工程と、

上記レベル検出工程にて検出された信号レベルが、予め定める値となるように、上記第2の利得制御工程で利得が制御された後の中間周波信号の利得を制御する第3の利得制御工程とを含んでいることを特徴とする自動利得制御方法。

【請求項6】上記第3の利得制御工程に代えて、上記レベル検出工程にて検出された信号レベルが、予め定める値となるように、上記切り換え点を調整する切り換え点調整工程とを含んでいることを特徴とする請求項5記載の自動利得制御方法。

【請求項7】入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有し、

上記制御手段は、上記第1および第2の利得制御手段へ指示する利得の合計が、予め定める切り換え点を下回る場合、上記第2の利得制御手段の利得を固定する自動利得制御回路において、

上記第1および第2の利得制御手段間の信号経路の特定箇所における信号レベルを検出する検出手段と、

上記第2の利得制御手段と上記制御手段との間に設けられた第3の利得制御手段と、

上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が上記入力端子へ入力されている状態における上記検出手段の出力が、予め定める値となるように、上記第3の利得制御手段の利得を設定する利得設定手段とを備えていることを特徴とする自動利得制御回路。

【請求項8】入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有し、

上記制御手段は、上記第1および第2の利得制御手段へ指示する利得の合計が、予め定める切り換え点を下回る場合、上記第2の利得制御手段の利得を固定する自動利得制御回路において、

上記第1および第2の利得制御手段間の信号経路の特定箇所における信号レベルを検出する検出手段と、

上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が上記入力端子へ入力されている状態における上記検出手段の出力が、予め定める値となるように、

上記切り換え点を調整する切り換え点調整手段とを備え

ていることを特徴とする自動利得制御回路。

【請求項9】入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含み、

上記利得決定工程は、上記第1および第2の利得制御工程での利得の合計が予め定める切り換え点を下回る場合、上記第2の利得制御工程での利得を固定する利得分配工程を含む自動利得制御方法において、

信号レベルを変更しながら、上記入力端子へ高周波信号を入力すると共に、上記利得決定工程で決定される利得を監視することで、上記第2の利得制御工程における利得の固定が開始される時点の入力信号レベルを検出する第1の開始入力レベル検出工程と、

上記検出された入力信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値が大きくなるように、上記切り換え点を調整する第1の切り換え点調整工程と、

上記第1の切り換え点調整工程の後に、信号レベルを変更しながら、上記第2の利得制御工程における利得の固定が開始される時点の入力信号レベルを再度検出する第2の開始入力レベル検出工程と、

上記検出された入力信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値が大きくなるように、上記切り換え点を調整する第2の切り換え点調整工程とを含んでいることを特徴とする自動利得制御方法。

【請求項10】利得制御後の中間周波信号を復調する復調工程を含み、

上記第1および第2の開始入力レベル検出工程の少なくとも一方にて、信号レベルを変更しながら上記入力端子へ印加される高周波信号を用いて、上記復調工程での受信性能を検査することを特徴とする請求項9記載の自動利得制御方法。

【請求項11】入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有し、上記制御手段は、上記第1および第2の利得制御手段へ指示する利得の合計が、予め定める切り換え点を下回る場合、上記第2の利得制御手段の利得を固定する自動利得制御回路において、

上記第1または第2利得制御手段へ指示される利得を監視して、上記第2の利得制御手段の利得の固定が開始さ

れているか否かを判定する判定手段と、

利得固定の開始が検出された時点で上記入力端子に印加されている高周波信号の信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値が大きくなるように、上記切り換え点を調整する切り換え点調整手段とを備えていることを特徴とする自動利得制御回路。

【請求項12】入力端子を介して印加される高周波信号のうち、特定のチャンネルの周波数成分を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含み、

上記利得決定工程は、上記第1および第2の利得制御工程での利得の合計が予め定める切り換え点を下回る場合、上記第2の利得制御工程での利得を固定する利得分配工程を含む自動利得制御方法において、

上記第1の利得制御工程で指示される利得の規定値と、上記第1の利得制御工程で高周波信号の利得が制御された後から上記第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の特定箇所における信号レベルの規定値との組み合わせを、予め記憶する記憶工程と、

上記特定箇所における信号レベルと、上記第1の利得制御工程で指示される利得とを監視する実測工程と、

上記実測工程で実測された信号レベルと利得との組み合わせが、上記記憶工程で記憶された規定値の組み合わせにない場合、規定値の組み合わせになるように、上記切り換え点を調整する切り換え点調整工程とを含んでいることを特徴とする自動利得制御方法。

【請求項13】入力端子を介して印加される高周波信号のうち、特定のチャンネルの周波数成分を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有し、

上記制御手段は、上記第1および第2の利得制御手段へ指示する利得の合計が、予め定める切り換え点を下回る場合、上記第2の利得制御手段の利得を固定する自動利得制御回路において、

上記第1および第2の利得制御手段間の信号経路の特定箇所における信号レベルを検出する検出手段と、

上記第1利得制御手段へ指示される利得を検出する利得監視手段と、

上記検出手段で検出される信号レベルの規定値と、上記利得監視手段で検出される利得の規定値との組み合わせを記憶する記憶手段と、

10

20

30

40

50

上記検出手段および利得監視手段の実測値の組み合わせが、上記記憶手段に格納された規定値の組み合わせにない場合、上記実測値の組み合わせが、上記規定値の組み合わせになるように、上記切り換え点を調整する切り換え点調整手段とを備えていることを特徴とする自動利得制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、ケーブルモデムなど、広い入力ダイナミックレンジの受信機に好適に使用される自動利得制御方法および自動利得制御回路に関するものである。

【0002】

【従来の技術】例えば、図18に示すように、従来のデジタル受信機101では、チューナ部111がRF入力の中から、希望するチャンネルの信号を選択し、中間周波数の中間周波信号に変換し、中間周波処理部112が中間周波信号を増幅した後、復調器113が中間周波信号を復調して、ベースバンド信号を取り出している。また、チューナ部111および中間周波処理部112には、それぞれ、ゲインを調整可能なAGCアンプ155・172が設けられており、復調器113は、復調器113への入力レベルが一定になるように、両AGCアンプ155・172のゲインを制御する。

【0003】ここで、ダイナミックレンジの広いRF入力が与えられても、ダイナミックレンジ全域に渡って、感度を良好に保ち、信号歪みなどの復調性能を低下させないように、上記復調器113は、両AGCアンプ155・172へ指示するゲインの合計に基づいて、RF入力の信号レベルを推測し、RF入力の信号レベルが、予め定められたTOP（Take Over Point）を超えているか否かによって、両AGCアンプ155・172へゲインを分配する際の分配方法を変更している。

【0004】具体的には、RF入力の信号レベルがTOPに満たない場合、復調器113は、RF-AGCアンプ155のゲインを最大に保つと共に、IF-AGCアンプ172のゲインを制御して、復調器113への入力レベルを一定に維持する。これにより、RF入力が弱い場合に、S/N比の低下を抑制できる。これとは逆に、RF入力の信号レベルがTOPを超えると、復調器113は、IF-AGCアンプ172のゲインを一定に保つと共に、RF-AGCアンプ155のゲインを制御して、復調器113への入力レベルを一定に維持する。これにより、RF-AGCアンプ155の後段回路へ、過大なレベルの信号が入力された結果、波形歪みが発生し、復調性能を低下させるという不具合を防止できる。上記両分配方法を切り換えることによって、デジタル受信機101は、広い入力ダイナミックレンジ全域に渡って、高い受信感度と、低い波形歪みとを両立できる。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、チューナ部111および中間周波処理部112の後段に設けられた復調器113が、両AGCアンプ155・172へ指示するゲインの合計に基づいて、RF入力の信号レベルを推測し、RF入力の信号レベルが、予め定められたTOPを超えているか否かによって、両AGCアンプ155・172へゲインを分配する際の分配方法を変更しているため、チューナ部111や中間周波処理部112を構成する部材に製造バラツキが発生すると、上記TOPが最適な値からズレて、高い受信感度と低い波形歪みとの両立が難しくなるという問題を生ずる。

【0006】ここで、高い受信感度を得るために、TOPを高く設定すると、波形歪みが発生しやすくなり、波形歪みを抑制するために、TOPを低く設定すると、受信感度が低下してしまう。このように、高い受信感度と低い波形歪みとは、トレードオフの関係にあるため、双方を高いレベルで両立させるためには、非常にクリティカルにTOPを設定する必要がある。

【0007】一方、チューナ部111では、高周波信号を処理する関係上、ゲイン偏差幅が比較的大きく、全受信帯域で、ゲイン偏差を抑制することは極めて難しい。さらに、チューナ部111では、トラッキング調整を完全に取り出すことが難しいため、ゲインの周波数偏差も大きく、チャンネルによっては、10dB以上のゲインバラツキが発生することもある。

【0008】本発明は、上記の問題点に鑑みてなされたものであり、その目的は、製造バラツキが発生しても、高い受信感度と低い波形歪みとを両立可能な自動利得制御回路を実現することにある。

【0009】

【課題を解決するための手段】本発明に係る自動利得制御方法は、上記課題を解決するために、入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含む自動利得制御方法において、以下の工程を設けたことを特徴としている。

【0010】すなわち、上記第1の利得制御工程で高周波信号の利得が制御された後から、上記第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の複数箇所、それぞれの信号レベルを検出するレベル検出工程と、上記レベル検出工程にて検出された各信号レベルの差が、予め定める一定値となるように、上記信号経路中の信号レベルを制御する第3の利得制御工程とを含んでいる。

【0011】上記構成では、第1および第2の利得制御

工程や周波数を変換する工程を実施する回路の個体差によって、各検出箇所間の信号経路上の部材に利得偏差が発生したとしても、当該利得偏差は、上記第3の利得制御工程によって吸収され、各検出箇所での信号レベル差を一定の値に保つことができる。

【0012】この結果、利得制御後の中間周波信号に基づいて、第1および第2の利得制御工程の利得を決定しているにも拘らず、上記信号経路上の部材の利得偏差に起因する、利得決定工程における利得制御の誤りを防止できる。これにより、例えば、自動利得制御回路など、上記各工程を実施する回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0013】本発明に係る自動利得制御回路は、上記課題を解決するために、入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換手段と、周波数変換前の高周波信号の利得を制御する第1の利得制御手段と、周波数変換後の中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有する自動利得制御回路において、以下の手段を講じたことを特徴としている。

【0014】すなわち、上記第1および第2の利得制御手段間の信号経路の複数箇所、それぞれの信号レベルを検出する検出手段と、上記信号経路上に設けられ、上記各検出箇所での信号レベル差が一定の値となるように利得が制御される第3の利得制御手段とを備えている。

【0015】上記構成では、自動利得制御回路間の個体差によって、各検出箇所間の信号経路上の部材に利得偏差が発生したとしても、当該利得偏差は、上記第3の利得制御手段によって吸収され、各検出箇所での信号レベル差が一定の値に保たれる。

【0016】この結果、制御手段が第2の利得制御手段よりも後で、第1および第2の利得制御手段の利得を制御しているにも拘らず、上記信号経路上の部材の利得偏差に起因する、制御手段の利得制御の誤りを防止できる。これにより、自動利得制御回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0017】さらに、上記構成に加えて、上記第3の利得制御手段は、例えば、SAWフィルタの後など、上記周波数変換手段の後に設けられていてもよい。当該構成によれば、第3の利得制御手段が中間周波信号の利得を制御して、上記各検出点間のレベル差を一定の値に保つ。したがって、入力される高周波信号の帯域が広い場合であっても、高周波信号の利得を制御するよりも容易に、周波数特性の良い第3の利得制御手段を実現できる。

【0018】また、広い周波数帯域に渡って、周波数特性を向上するために、高周波信号の信号経路が、周波数

帯域に応じて、複数に分割され、各経路の利得が大きく異なる場合であっても、利得の少ない経路に合わせて、利得を大きく設定可能な経路の利得を抑制する必要がない。

【0019】さらに、上記各構成に加えて、上記第1の利得制御手段がピンダイオードで構成され、上記第3の利得制御手段がデュアルゲート電界効果トランジスタから構成されていてもよい。

【0020】当該構成では、受動素子であり、周波数特性を向上しやすいピンダイオードで、第1の利得制御手段が構成され、デュアルゲート電界効果トランジスタによって形成された回路、すなわち、ピンダイオードよりも周波数特性の向上が難しいものの、安価で、高感度な回路によって、第3の利得制御手段が構成されている。したがって、周波数特性、感度および費用の全てでバランスのとれた自動利得制御回路を実現できる。

【0021】一方、本発明に係る自動利得制御方法は、入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含み、上記利得決定工程は、上記第1および第2の利得制御工程での利得の合計が予め定める切り換え点を下回る場合、上記第2の利得制御工程での利得を固定する利得分配工程を含む自動利得制御方法において、上記課題を解決するために、以下の工程を設けたことを特徴としている。

【0022】すなわち、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が上記入力端子へ入力されている状態で、上記第1の利得制御工程で高周波信号の利得が制御された後から上記第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の特定箇所の信号レベルを検出するレベル検出工程と、上記レベル検出工程にて検出された信号レベルが、予め定める値となるように、上記第2の利得制御工程で利得が制御された後の中間周波信号の利得を制御する第3の利得制御工程とを含んでいる。

【0023】上記構成では、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が入力されている状態で、特定箇所の信号レベルが検出され、第3の利得制御工程の利得は、当該信号レベルの実測値が所定値になるように設定される。

【0024】ここで、当該状態では、第2の利得制御工程での利得が固定されており、中間周波信号の利得が所定値になるように制御されているため、上記特定箇所より後の信号経路の部材が、設計通りの特性を有していれば、上記特定箇所の信号レベルは、所定値となるハズであり、上記特定箇所の信号レベルの所定値と実測値との

差は、上記各部材の利得偏差の合計を示している。

【0025】したがって、第3の利得制御工程にて、実測値と所定値との差を打ち消すように利得を制御することで、上記信号経路上の利得偏差を打ち消すことができる。この結果、利得制御後の中間周波信号に基づいて、第1および第2の利得制御工程の利得を決定しているにも拘らず、上記信号経路上の部材の利得偏差に起因する、利得決定工程における利得制御の誤りを防止できる。これにより、例えば、自動利得制御回路など、上記各工程を実施する回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0026】また、本発明に係る自動利得制御方法は、上記課題を解決するために、上記第3の利得制御工程に代えて、上記レベル検出工程にて検出された信号レベルが、予め定める値となるように、上記切り換え点を調整する切り換え点調整工程を含んでいてもよい。

【0027】当該構成では、上記第2の利得制御工程で利得が制御された後の中間周波信号の利得を制御する代わりに、上記切り換え点を調整することで、上記特定箇所の信号レベルが所定値に維持される。これにより、上記第2の利得制御工程で利得が制御された後の中間周波信号の利得を制御する場合と同様に、自動利得制御回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0028】一方、本発明に係る自動利得制御回路は、上記課題を解決するために、入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有し、上記制御手段は、上記第1および第2の利得制御手段へ指示する利得の合計が、予め定める切り換え点を下回る場合、上記第2の利得制御手段の利得を固定する自動利得制御回路において、以下の手段を講じたことを特徴としている。

【0029】すなわち、上記第1および第2の利得制御手段間の信号経路の特定箇所における信号レベルを検出する検出手段と、上記第2の利得制御手段と上記制御手段との間に設けられた第3の利得制御手段と、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が上記入力端子へ入力されている状態における上記検出手段の出力が、予め定める値となるように、上記第3の利得制御手段の利得を設定する利得設定手段とを備えている。

【0030】上記構成において、利得設定手段は、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が入力されている状態で、特定箇所の信号レベルに応じて、第2の利得制御手段と制御手段との間に配さ

れた第3の利得制御手段の利得が設定される。これにより、利得制御後の中間周波信号に基づいて、第1および第2の利得制御手段の利得を決定しているにも拘らず、上記信号経路上の部材の利得偏差に起因する、制御手段の利得制御の誤りを防止できる。これにより、自動利得制御回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0031】また、上記第3の利得制御手段および利得設定手段に代えて、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が上記入力端子へ入力されている状態における上記検出手段の出力が、予め定める値となるように、上記切り換え点を調整する切り換え点調整手段を備えていてもよい。

【0032】上記構成では、第3の利得制御手段の利得を調整する代わりに、上記切り換え点を調整することで、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が入力されている状態における上記検出手段の出力が、予め定める値となるように調整される。

【0033】これにより、第3の利得制御手段および利得設定手段を有する場合と同様に、自動利得制御回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0034】また、本発明に係る自動利得制御方法は、上記課題を解決するために、入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含み、上記利得決定工程は、上記第1および第2の利得制御工程での利得の合計が予め定める切り換え点を下回る場合、上記第2の利得制御工程での利得を固定する利得分配工程を含む自動利得制御方法において、以下の工程を設けたことを特徴としている。

【0035】すなわち、信号レベルを変更しながら、上記入力端子へ高周波信号を入力すると共に、上記利得決定工程で決定される利得を監視することで、上記第2の利得制御工程における利得の固定が開始される時点の入力信号レベルを検出する第1の開始入力レベル検出工程と、上記検出された入力信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値が大きくなるように、上記切り換え点を調整する第1の切り換え点調整工程と、上記第1の切り換え点調整工程の後に、信号レベルを変更しながら、上記第2の利得制御工程における利得の固定が開始される時点の入力信号レベルを再度検出する第2の開始入力レベル検出工程と、上記検出された入力信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値が大きくなるように、上記切り換え点を調整する第2の切り換え点調整工

程とを含んでいる。

【0036】上記構成によれば、入力端子へ印加する高周波信号の信号レベルを変更しながら、利得固定を開始する際の信号レベル（開始入力レベル）が測定され、測定結果に応じて、切り換え点が調整される。

【0037】ここで、第1の開始入力レベル検出工程および第1の切り換え点調整工程において、開始入力レベルが、予め定める基準値を超過した分は、第2の利得制御工程を実施する部材の利得偏差に対応する。また、上記第1の切り換え点調整工程において、当該利得偏差が補償されているので、第2の開始入力レベル検出工程および第2の切り換え点調整工程において、開始入力レベルが予め定める基準値を超過した分は、第1の利得制御工程を実施する部材の利得偏差に対応する。したがって、第1および第2の切り換え点調整工程によって、第1および第2利得制御工程を実施する部材の利得偏差全てが補償される。

【0038】この結果、例えば、自動利得制御回路など、上記各工程を実施する回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0039】また、上記構成に加えて、利得制御後の中間周波信号を復調する復調工程を含み、上記第1および第2の開始入力レベル検出工程の少なくとも一方にて、信号レベルを変更しながら上記入力端子へ印加される高周波信号を用いて、上記復調工程での受信性能を検査する方が望ましい。

【0040】上記構成によれば、信号レベルを変更しながら、入力端子へ高周波信号を印加する期間中に、上記第1および第2の開始入力レベル検出工程の少なくとも一方と、受信性能の検査との双方を同時に実施できる。したがって、検査に要する時間を短縮できる。

【0041】一方、本発明に係る自動利得制御回路は、上記課題を解決するために、入力端子を介して印加される高周波信号を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有し、上記制御手段は、上記第1および第2の利得制御手段へ指示する利得の合計が、予め定める切り換え点を下回る場合、上記第2の利得制御手段の利得を固定する自動利得制御回路において、以下の手段を講じたことを特徴としている。

【0042】すなわち、上記第1または第2利得制御手段へ指示される利得を監視して、上記第2の利得制御手段の利得の固定が開始されているか否かを判定する判定手段と、利得固定の開始が検出された時点で上記入力端子に印加されている高周波信号の信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値

が大きくなるように、上記切り換え点を調整する切り換え点調整手段とを備えている。

【0043】上記構成において、入力端子へ印加する高周波信号の信号レベルを変化させながら、判定手段による判定と、切り換え点調整手段による調整とを2回繰り返すと、初回の判定および調整が、上述の第1の第1の開始入力レベル検出工程および第1の切り換え点調整工程に相当し、2回目の判定および調整が、上述の第1の第2の開始入力レベル検出工程および第2の切り換え点調整工程に相当する。

【0044】したがって、周波数変換手段、並びに、第1および第2の利得制御手段の特性バラツキを補償可能な値に、切り換え点を調整できる。この結果、自動利得制御回路の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0045】また、本発明に係る自動利得制御方法は、上記課題を解決するために、入力端子を介して印加される高周波信号のうち、特定のチャンネルの周波数成分を中間周波信号に変換する周波数変換工程と、高周波信号の利得を制御する第1の利得制御工程と、中間周波信号の利得を制御する第2の利得制御工程と、利得制御後の中間周波信号に基づいて、当該中間周波信号の信号レベルが予め定める値になるように、上記第1および第2の利得制御工程での利得を決定する利得決定工程とを含み、上記利得決定工程は、上記第1および第2の利得制御工程での利得の合計が予め定める切り換え点を下回る場合、上記第2の利得制御工程での利得を固定する利得分配工程を含む自動利得制御方法において、以下の工程を設けたことを特徴としている。

【0046】すなわち、上記第1の利得制御工程で指示される利得の規定値と、上記第1の利得制御工程で高周波信号の利得が制御された後から上記第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の特定箇所における信号レベルの規定値との組み合わせを、予め記憶する記憶工程と、上記特定箇所における信号レベルと、上記第1の利得制御工程で指示される利得とを監視する実測工程と、上記実測工程で実測された信号レベルと利得との組み合わせが、上記記憶工程で記憶された規定値の組み合わせにない場合、規定値の組み合わせになるように、上記切り換え点を調整する切り換え点調整工程とを含んでいる。

【0047】ここで、入力端子へ印加される高周波信号が、複数のチャンネルの周波数成分を含んでいる場合、所望の特定チャンネルに隣接するチャンネルの周波数成分が大きいと、周波数変換工程にて、特定チャンネルの周波数成分のみを周波数変換しようとしても、隣接チャンネルの周波数成分が混入してしまう。したがって、この周波数成分を含む中間周波信号に基づいて、上記利得決定工程の利得決定および利得分配工程での利得分配が行われると、それぞれへ指示される利得に誤差が発生す

る。

【0048】これに対して、切り換え点調整工程では、上記実測工程で実測された信号レベルと利得との組み合わせと、上記記憶工程で記憶された規定値の組み合わせとが比較され、実測値の組み合わせが規定値の組み合わせになるように、上記切り換え点が調整される。これにより、上記隣接チャンネルによる妨害の有無と、妨害の程度とを評価でき、妨害による利得制御の誤差を補償できる。この結果、自動利得制御回路の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0049】また、本発明に係る自動利得制御回路は、上記課題を解決するために、入力端子を介して印加される高周波信号のうち、特定のチャンネルの周波数成分を中間周波信号に変換する周波数変換手段と、高周波信号の利得を制御する第1の利得制御手段と、中間周波信号の利得を制御する第2の利得制御手段と、上記第2の利得制御手段よりも後に設けられ、上記第1および第2の利得制御手段の利得を制御する制御手段とを有し、上記制御手段は、上記第1および第2の利得制御手段へ指示する利得の合計が、予め定める切り換え点を下回る場合、上記第2の利得制御手段の利得を固定する自動利得制御回路において、以下の手段を講じたことを特徴としている。

【0050】すなわち、上記第1および第2の利得制御手段間の信号経路の特定箇所における信号レベルを検出する検出手段と、上記第1利得制御手段へ指示される利得を検出する利得監視手段と、上記検出手段で検出される信号レベルの規定値と、上記利得監視手段で検出される利得の規定値との組み合わせを記憶する記憶手段と、上記検出手段および利得監視手段の実測値の組み合わせが、上記記憶手段に格納された規定値の組み合わせでない場合、上記実測値の組み合わせが、上記規定値の組み合わせになるように、上記切り換え点を調整する切り換え点調整手段とを備えている。

【0051】上記構成において、切り換え点調整手段は、上記利得監視手段および検出手段で実測された信号レベルと利得との組み合わせと、上記記憶手段に記憶された規定値の組み合わせとを比較して、実測値の組み合わせが規定値の組み合わせになるように、上記切り換え点を調整する。これにより、上記隣接チャンネルによる妨害の有無と、妨害の程度とを評価でき、妨害による利得制御の誤差を補償できる。この結果、自動利得制御回路の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に保つことができる。

【0052】

【発明の実施の形態】〔第1の実施形態〕本発明の一実施形態について図1ないし図8に基づいて説明すると以下の通りである。すなわち、本実施形態に係る自動利得制御回路（AGC回路）は、入力信号のダイナミックレ

ンジを大きく確保可能な回路であって、例えば、地上波TVやCATV用のデジタル受信機やケーブルモデムなどに、特に好適に使用されている。

【0053】一例として、デジタルCATV用QAM（Quadrature Amplitude Modulation）受信機について説明すると、図1に示すように、当該デジタル受信機（自動利得制御回路）1は、RF（Radio Frequency）入力端子T1に入力されたQAM変調信号（RF入力）の中から、希望するチャンネルの信号を選択し、中間周波数の中間周波信号に変換するチューナ部11と、中間周波信号を増幅する中間周波処理部12と、中間周波信号を復調する復調器（制御手段）13とを備えており、希望するチャンネルのQAM変調信号を復調して出力できる。

【0054】上記チューナ部11では、RF入力端子T1に入力されたRF入力は、ハイパスフィルタ51で、低周波成分が除去された後、RF-AGCアンプ（第1の利得制御手段）52で増幅される。RF-AGCアンプ52の後段には、受信チャンネルの周波数帯域に応じて切り換えられるスイッチ53が設けられており、UHF（Ultra High Frequency）帯域のチャンネルを選局する場合、RF-AGCアンプ52の出力は、同調バンドパスフィルタ54aにて、UHF帯域以外の周波数成分が除去された後、RF-AGCアンプ55aにて増幅され、複同調バンドパスフィルタ56aにて、UHF帯域以外の周波数成分が除去される。さらに、複同調バンドパスフィルタ56aの出力は、上記スイッチ53に連動して切り換えられるスイッチ57を介して、混合器（周波数変換手段）58に入力される。

【0055】本実施形態では、UHFからVHF（Very High Frequency）までの広い周波数帯域に渡って、高い復調性能を保つために、チューナ部11の受信帯域がUHF帯域、VHF-High帯域およびVHF-Low帯域の3つの周波数帯域に分割されており、各帯域毎に、同調バンドパスフィルタ54a～54c、RF-AGCアンプ55a～55cおよび複同調バンドパスフィルタ56a～56cが設けられている。ここで、各バンドパスフィルタ54a～54c・56a～56cの通過帯域など、各部材の特性は、それぞれが使用する帯域に併せて設定される。また、上記両スイッチ53・57は、例えば、図示しないCPUや復調器13などの選局回路の指示によって、選局チャンネルが属している周波数帯域の部材を選択するように切り換えられる。これにより、広い周波数帯域全域に渡って、高いS/N比で、波形歪みの小さなQAM信号が、混合器58に印加される。

【0056】一方、混合器58は、選局チャンネルに応じた周波数の局部発振信号と、上記QAM信号とを混合する。これにより、QAM信号のうち、選局チャンネルの周波数成分が選択され、上記ハイパスフィルタ51の

通過帯域よりも低い周波数の中間周波信号に周波数変換される。なお、上記局部発振信号は、発振器59によって生成されており、PLL回路60にも入力される。PLL回路60は、上記選局回路としての復調器13からの指示に基づき、発振器59を制御して、局部発振信号の周波数を調整する。これにより、前記局部発振信号の周波数は、受信すべき放送局の周波数に対応するように、安定的に制御される。

【0057】上記チューナ部11から出力された中間周波信号は、中間周波処理部12において、狭帯域通過フィルタとしてのSAWフィルタ71によって、帯域外信号が抑圧された後、IF-AGCアンプ72およびIFアンプ73によってゲインが調整され、ローパスフィルタ74を介して復調器13に印加される。

【0058】一方、図2に示すように、復調器13において、ADC (Analog to Digital Converter) 回路81は、中間周波処理部12のローパスフィルタ74から出力されたQAM信号をデジタル信号に変換し、復調回路82は、当該デジタル信号を復調した後、復調信号として出力する。また、復調器13は、自らに入力される入力信号のレベルに応じて、チューナ部11のAGC制御回路61、並びに、中間周波処理部12のAGC制御回路75へ指示し、RF-AGCアンプ52、並びに、IF-AGCアンプ72のゲインを調整する。これにより、RF入力端子T1に入力されるRF入力のレベルに拘らず、復調器13には、常に同じレベルの信号が入力される。

【0059】より詳細には、比較回路83は、上記ADC回路81が出力するデジタル信号のレベルと、予め定められた基準信号レベルとを比較し、差信号発生回路84は、比較結果に基づき、両レベルの差に応じた信号を生成する。さらに、PWM信号発生回路85は、両者の差に応じたパルス幅のPWM (Pulse Width Modulation) 信号を生成する。なお、上記基準信号レベルは、例えば、レジスタ86に格納されている。

【0060】一方、各AGC制御回路61(75)において、図示しない平滑回路は、それぞれへのPWM信号を直流化し、レベル変換回路(図示せず)は、直流信号のレベルを、RF-AGCアンプ52(IF-AGCアンプ72)に合ったレベルに変換する。レベル変換された信号は、制御信号として、RF-AGCアンプ52(IF-AGCアンプ72)に入力され、それぞれのゲインを調整する。

【0061】なお、本実施形態では、上記比較回路83、差信号発生回路84およびPWM信号発生回路85は、ADC回路81および復調回路82と共に、1つの復調用IC (Integrated Circuit) 内に集積されている。これにより、部品点数を削減できると共に、信頼性を向上できる。

【0062】このように、RF入力のレベルに拘らず、

復調器13は、復調器13への入力信号レベルが常時一定となるように、チューナ部11および中間周波処理部12のゲインを調整する。この結果、復調器13は、ダイナミックレンジが広いRF入力印加されても、ダイナミックレンジの全域に渡って、高い感度と高い復調性能とを維持できる。

【0063】なお、本実施形態では、復調器13によってゲインが制御される両AGCアンプ52・72に加え、両AGCアンプ52・72間の途中に、外部からの指示に応じてゲインを変更可能なRF-AGCアンプ55a~55cが設けられてるが、この動作については、後で詳細に説明する。

【0064】ここで、両部11・12のゲインの合計が同一であれば、復調器13への入力信号レベルが同一になるが、本実施形態に係る復調器13は、ダイナミックレンジの全域に渡って、高い受信感度と高い復調性能とを維持するために、以下のように、チューナ部11および中間周波処理部12のゲインを分配している。すなわち、RF入力のレベルが低い間は、チューナ部11のゲイン、より正確には、RF-AGCアンプ52のゲインを最大に設定し、中間周波処理部12のゲインを調整して、復調器13への入力信号レベルを制御する。この状態では、RF-AGCアンプ52のゲインが最大で、デジタル受信機1のNFが一定なので、S/N比は、RF入力の信号レベルに比例して向上する。このように、早い段階で、信号レベルが増幅されるので、S/N比を向上できる。

【0065】ここで、RF-AGCアンプ52のゲインを最大にした状態で、RFレベルが大きくなっても、後段回路が飽和して波形歪みが発生する虞れがある。例えば、RF-AGCアンプ55a~55cや混合器58では、波形歪みとして、高調波歪みが発生し、中間周波処理部12のIF-AGCアンプ72やIFアンプ73では、IM歪みが発生するので、復調器13の復調性能が劣化してしまう。

【0066】これに対して、上記復調器13は、復調器13への入力レベルを一定に保つためにチューナ部11および中間周波処理部12へ指示しているゲインと、例えば、図2に示すレジスタ86の設定などによって、予め定められたTOP (TakeOver Point) とを比較して、RF入力のレベルがTOPよりも大きいと判断される場合、中間周波処理部12のゲインを固定して、チューナ部11、より正確には、RF-AGCアンプ52のゲインを調整することで、上記入力信号レベルを制御する。これにより、波形歪みに起因する復調性能の劣化を防止でき、RFの入力レベルが高くて、高い復調性能を維持できる。

【0067】例えば、図3に示すように、RF入力(チューナ入力)の信号レベルの範囲が、最小-15dBmV、最大15dBmVとする。また、復調器13への入

カレベルが55dBmVに規定されており、チューナ部11の最大ゲインが39dB、中間周波処理部12のゲインを固定する場合のゲインが23dBとする。なお、固定する際のゲインは、感度と歪みとのバランスが取れた値が、設計時の段階で決定される。

【0068】ここで、TOPよりもRF入力レベルが大きい場合は、中間周波処理部12のゲインが固定されるため、この数値例では、チューナ部11の出力レベルが32dBmVとなる。一方、チューナ部11の最大ゲインが39dBなので、中間周波処理部12のゲインを
10 変更することなく、チューナ部11の出力レベルを上記値に維持しようとする、RF入力の信号レベルは、-7dBmV以上が必要になる。

【0069】したがって、この場合、RF入力の信号レベルが-7dBmVの時点(AGC開始入力レベル)が、TOPとして設定され、RF入力レベルが-7dBmV以下の場合、復調器13は、チューナ部11のゲインを最大に設定して、中間周波処理部12のゲインで、復調器13の入力レベルを一定に維持する。一方、RF入力レベルが-7dBmVより大きい場合は、復調器13によって、
20 中間周波処理部12のゲインが固定され、チューナ部11のゲインによって、復調器13の入力レベルが制御される。

【0070】ここで、RF-AGCアンプ52の制御電圧に対するゲインリダクション特性は、例えば、図4に示すように設定され、IF-AGCアンプ72の制御電圧に対するゲインリダクション特性は、例えば、図5に示すように設定されている。したがって、復調器13は、復調器13への入力と、現在、両AGCアンプ52・72へ指示しているゲイン量の合計とに基づいて、
30 RF入力の信号レベルを判定し、両AGC制御回路61・75へのPWM信号を制御するなどして、図6および図7に示す制御電圧が、各AGCアンプ52・72へ印加されるように制御する。

【0071】この結果、チューナ部11、中間周波処理部12および復調器13が設計通りの特性で動作したとすると、RF-AGCアンプ52への制御電圧は、図6中、Rcdで示すように変化する。したがって、RF入力の信号レベルがAGC開始入力レベルRtdに到達しない間、上記制御電圧は、一定値(例えば、4V)に保たれ、
40 RF-AGCアンプ52のゲインを最大レベルに保つことができる。一方、RF入力の信号レベルがAGC開始入力レベルRtdを超えると、上記制御電圧がRF入力の信号レベルに応じて低下する。これにより、RF-AGCアンプ52のゲインを、RF入力の信号レベルに応じて制御できる。

【0072】同様に、上記各部材11~13が設計通りの特性で動作したとすると、IF-AGCアンプ72の制御電圧は、図7中、Icdで示すように変化する。したがって、RF入力の信号レベルがAGC開始入力レベ
50

ルItdを超えている間、上記制御電圧は、一定値(例えば、約1.3V)に保たれ、IF-AGCアンプ72のゲインを所定のレベルに保つことができる。一方、上記AGC開始入力レベルItdを下回ると、上記制御電圧は、RF入力の信号レベルに応じて上昇する。これにより、IF-AGCアンプ72のゲインを、RF入力の信号レベルに応じて制御できる。

【0073】ここで、上記RF入力レベルが両AGC開始入力レベルRtd・Itdを超える時点は、各部材11~13が設計通りの特性で動作したとすると、復調器13によって、RF入力の信号レベルがTOPを超えたと判断される時点と一致する。したがって、復調器13は、上述のように、両AGCアンプ52・72へゲインを分配でき、RF入力のダイナミックレンジが大きい場合でも、良好な感度と、良好な復調性能とを両立できる。

【0074】さらに、本実施形態に係るデジタル受信機1では、上記復調器13によりゲインが調整されるRF-AGCアンプ52からIF-AGCアンプ72までの区間に配された増幅器(この例では、RF-AGCアンプ55a~55c)が、第3の利得制御手段として、ゲインを調整可能に構成されている。加えて、第1の検出点として、RF-AGCアンプ52の出力ノードの信号レベルを検出する検波平滑回路(検出手段)21aと、第2の検出点として、混合器58の出力ノードの信号レベルを検出する平滑化する検波平滑回路(検出手段)21bと、両検波平滑回路21a・21bで検出されたレベルの差に応じた電圧を出力するレベル差検出回路22と、基準電圧として、予め定められた定電圧を生成する基準定電圧生成回路23と、レベル差検出回路22の出力電圧と、基準電圧とに基づいて、上記両検出点の信号レベルの差が、予め定められた値になるように、上記RF-AGCアンプ55a~55cのゲインを調整する比較回路24とが設けられている。なお、例えば、ADCやDAC(Digital to Analog Converter)などを用いたデジタル回路によって、上記各部材21a~24を実現し、復調器13と各部材21a~24とを同一のIC内に集積してもよい。この場合は、部品数を削減できると共に、品質を安定させることができる。

【0075】上記両検波平滑回路21a・21bは、例えば、各検出点の信号を検波し、直流化することで、検出点の信号レベルを検出できる。この構成の場合、上記レベル差検出回路22および比較回路24は、両検波平滑回路21a・21bが出力する直流電圧の差が一定になるように、RF-AGCアンプ55a~55cのゲインに帰還をかける。

【0076】ここで、例えば、製造バラツキなどによって、チューナ部11および中間周波処理部12にゲイン偏差が発生すると、チューナ部11の入力、チューナ部11の出力(中間周波処理部12の入力)および復調器13の入力の関係は、図8に示すように、設計した関係

Adからズレてしまう。例えば、中間周波処理部12のゲイン偏差がゲイン大の方向に最もバラツキと、中間周波処理部12がゲインを固定している状態におけるチューナ部11の出力レベルは、設計値I0dから実際の値I1rのように変化してしまう。一方、ゲイン小の方向に最も大きくバラツキと、チューナ部11の実際の出力レベルは、I2rのように変化する。

【0077】さらに、チューナ部11のゲインにゲイン偏差が発生すると、中間周波処理部12のゲインを固定したままで、チューナ部11のゲイン調整によって、復調器13の入力レベルを維持可能な範囲も変化して、当該範囲の最小値(TOP)も変化してしまう。この結果、中間周波処理部12のゲイン偏差によって、チューナ部11の出力レベルがI1rの状態では、最適なTOPは、チューナ部11のゲイン偏差に応じてR11r~R12rの範囲の値となる。また、チューナ部11の出力レベルがI2rの状態では、最適なTOPは、チューナ部11のゲイン偏差に応じて、R21r~R22rの範囲の値になる。

【0078】この結果、両部材11・12のゲイン偏差によって、最適なTOPは、R11r~R22rの範囲のいずれかの値となる。したがって、例えば、TOPがR11rの場合、復調器13は、両AGCアンプ52・72への制御電圧を、図6および図7中、Rc11rまたはIc11rで示すように制御すると最適であり、TOPがR22rの場合は、Rc22rまたはIc22rで示すように制御する方が望ましい。

【0079】ここで、比較例として、図1に示す各部材21a~24が存在せず、RF-AGCアンプ55a~55cのゲインが固定されている構成では、チューナ部11および中間周波処理部12を構成する各部材の特性にバラツキが発生しているにも拘らず、上記復調器13は、設計値に基づいて設計されたTOPに基づいて、ゲインを分配する。この結果、最適なTOPでゲインを分配することができず、チューナ部11のゲイン不足に起因するS/N比の低下が発生したり、中間周波処理部12へ過大なレベルの信号が入力された結果、信号に波形歪みが発生するなどして、復調性能が低下したりする。

【0080】これに対して、本実施形態に係るデジタル受信機1では、上記各部材21a~24が設けられており、両検波平滑回路21a・21bの検出点間のレベル差が一定になるようにRF-AGCアンプ55a~55cのゲインが調整される。この結果、例えば、製造バラツキなどが原因で、例えば、RF-AGCアンプ55a~55c自体や図示しない混合器58内のアンプなど、上記第1の検出点から第2の検出点までのアンプに、周波数に依存したゲイン偏差が存在する場合であっても、上記各部材21a~24・55a~55cによる帰還制御によって、上記両検出点間のゲイン差を一定に保ち、両検出点間のゲイン偏差を補償できる。

【0081】この結果、デジタル受信機1間の個体差、および、互いに異なる周波数帯域用の部材(例えば、RF-AGCアンプ55a~55cなど)間の個体差を吸収でき、受信可能な周波数帯域全域に渡って、上記両検出点間のゲイン偏差に起因するAGC開始入力レベルの変動を抑制できる。この結果、受信感度、並びに、波形歪みなどの復調性能を、設計通りの最適な値に保つことができる。

【0082】なお、上記両検出点は、復調器13によってゲインが調整される2つのアンプの間(図1の例では、RF-AGCアンプ52からIF-AGCアンプ72まで)の間に設けられていればよいが、中間周波信号に変換される前の信号を処理する部材(RF-AGCアンプ55a~55cおよび混合器58)は、中間周波信号に比べて高い周波数を処理しているために、処理可能な周波数帯域全域に渡って、ゲイン偏差を抑制することが難しい。したがって、ゲイン偏差を効率良く除去するためには、本実施形態のように、上記第1の検出点は、RF-AGCアンプ52の出力ノードとし、第2の検出点は、混合器58の出力ノード、または、それ以降のノードとする方が望ましい。

【0083】〔第2の実施形態〕ところで、第1の実施形態では、一般的なチューナの構成、すなわち、外部からゲインを調整可能なRF-AGCアンプ55a~55cがチューナ部11に既に設けられている構成を想定して、RF-AGCアンプ55a~55cでゲインを調整する場合について説明した。

【0084】これに対して、本実施形態に係るデジタル受信機1aでは、図9に示すように、IFアンプ73の代わりに、IF-AGCアンプ76を設け、復調器13は、当該IF-AGCアンプ76のゲインを制御する。さらに、上記比較回路24は、RF-AGCアンプ55a~55cのゲインに代えて、IF-AGCアンプ72のゲインを制御する。なお、これに伴い、RF-AGCアンプ55a~55cは、ゲインが固定されたRFアンプ62a~62cに変更されている。なお、この構成では、IF-AGCアンプ76が特許請求の範囲に記載の第2の利得制御手段に対応し、IF-AGCアンプ72が第3の利得制御手段に対応する。

【0085】当該構成でも、第1の実施形態のデジタル受信機1(図1参照)と同様に、復調器13によって、それぞれゲインが制御されるRF-AGCアンプ52およびIF-AGCアンプ76間に、IF-AGCアンプ72が配され、比較回路24は、両検波平滑回路21a・21bの検出点間のレベル差が一定の値になるように、当該IF-AGCアンプ72のゲインを制御する。

【0086】これにより、図1と同様に、デジタル受信機1a間の個体差、および、互いに異なる周波数帯域用の部材(例えば、RFアンプ62a~62cなど)間の個体差を吸収でき、受信可能な周波数帯域全域に渡っ

て、上記両検出点間のゲイン偏差に起因するAGC開始入力レベルの変動を抑制できる。この結果、受信感度、並びに、波形歪みなどの復調性能を、設計通りの最適な値に保つことができる。

【0087】さらに、本実施形態では、図1と異なり、中間周波数に変換した後の場所（混合器58より後段）に、高利得の利得制御アンプ（IF-AGCアンプ72）を設け、IF-AGCアンプ72でゲインを調整している。したがって、各周波数帯域用のRFアンプ62a~62c間のゲイン差が大きい場合であっても、図1の構成の構成と異なり、低いゲインでしか増幅できないRFアンプに合わせて、高いゲインで増幅可能なRFアンプのゲインを制限する必要がない。この結果、高いゲインで増幅可能なRFアンプのゲインを制限する場合と異なり、RF入力の信号レベルが弱い場合のS/N比を向上できる。

【0088】〔第3の実施形態〕本実施形態では、チューナ部11のゲイン調整にPINダイオード・アッテネータを使用する場合について説明する。なお、本構成は、上述の第1および第2の実施形態のいずれにも適用できるが、以下では、第1の実施形態に適用した場合を例にして説明する。

【0089】すなわち、図10に示すように、本実施形態に係るデジタル受信機1bでは、図1に示すRF-AGCアンプ52の代わりに、RFアンプ63およびPINダイオード・アッテネータ64が設けられており、復調器13は、AGC制御回路61によって、PINダイオード・アッテネータ（第1の利得制御手段）64のゲインを調整する。また、本実施形態において、利得制御用のRF-AGCアンプ55a~55cには、デュアルゲートFETが使用されている。

【0090】ここで、PINダイオード・アッテネータ64は、受動素子であり、能動素子としてデュアルゲートFETを用いた増幅器（RF-AGCアンプ52）でゲイン調整する場合と比較して、周波数特性に優れている。したがって、単一のPINダイオード・アッテネータで、周波数帯域全域を高精度にゲイン調整できる。

【0091】この結果、各周波数帯域に分けられる前の段階（スイッチ53よりも前段）に、ゲイン調整用の部材（PINダイオード・アッテネータ64）を配しているにも拘らず、UHF帯域、VHF-High帯域、VHF-Low帯域の全域に渡って、ゲイン・バラツキの発生を抑制できる。

【0092】一方、各RF-AGCアンプ55a~55cは、デュアルゲートFETで構成されているため、PINダイオードを用いる場合に比べて、高感度であり、安価に製造できる。また、各RF-AGCアンプ55a~55cは、上記各周波数帯域に分離された後の信号を処理するため、全域をカバーする場合に比べて、それぞれに割り当てられた帯域内での周波数特性を容易に向上

できる。

【0093】このように、チューナ部11において、復調器13によりゲイン制御される部材（64）を、PINダイオード・アッテネータで構成すると共に、バラツキ補償のためにゲイン制御される部材（55a~55c）として、デュアルゲートFETで構成されたアンプを用いることで、周波数特性、感度および費用の全てでバランスのとれた合理的な設計を行うことができる。

【0094】なお、図9の構成に適用すると、バラツキ補償のために、IF-AGCアンプ72のゲインが制御される。ただし、IF-AGCアンプ72は、既に中間周波数に変換された後の信号を処理するので、高感度かつ安価なデュアルゲートFETで構成しても、RF入力の周波数帯域全域をカバーする場合に比べて、周波数特性の向上が容易である。したがって、この場合も、周波数特性、感度および費用の全てでバランスのとれた合理的な設計を行うことができる。

【0095】〔第4の実施形態〕図11に示すように、本実施形態に係るデジタル受信機1cでは、図1に示す構成に加えて、IFアンプ73もゲイン調整可能に形成されており、利得設定手段として、当該IFアンプ73のゲインを予め定められた値に調整するPGA（Programmable Gain Amplifier）回路25が設けられている。

【0096】上記値は、チューナ部11の実際出力レベルのズレを打ち消し可能な値であり、具体的には、製造工程において、任意の周波数で、IF-AGCアンプ72のゲインが一定に制御される程度に大きな入力レベルのRF入力をRF入力端子T1へ印加した状態でのチューナ部11の出力レベルと、基準値（設計値）とのズレをキャンセルする値に設定される。当該値は、例えば、復調器13の図示しないメモリなどに格納され、PGA回路25は、当該値を参照して、IFアンプ73のゲインを調整する。

【0097】ここで、上記入力レベルのRF入力が印加されている場合、復調器13は、IF-AGCアンプ72のゲインが一定になるように、RF-AGCアンプ52およびIF-AGCアンプ72のゲインを制御している。したがって、チューナ部11の出力から復調器13の入力までの部材、すなわち、SAWフィルタ71、IF-AGCアンプ72、IFアンプ73およびローパスフィルタ74が、設計通りの特性を持っていれば、チューナ部11の出力レベルは、設計値になるハズである。

【0098】ところが、例えば、各部材71~74にゲインにバラツキが発生したり、IF-AGCアンプ72の制御電圧に対するゲインリダクションの特性にバラツキが発生したりすると、チューナ部11の出力レベルは、これらのバラツキの分だけ、設計値からズレてしまう。このバラツキを放置すると、AGC開始入力レベルが最適値（設計値）から変化するので、受信感度、並びに、波形歪みなどの復調性能を、設計した値に保つこと

ができなくなってしまう。

【0099】これに対して、本実施形態に係るデジタル受信機1cでは、IFアンプ73のゲインを予め定められた値に設定するPGA回路25が設けられており、IFアンプ73のゲインを、チューナ部11の出力レベルのズレを打ち消し可能な値に調整できる。

【0100】これにより、各部材71～74のゲインのバラツキ（ゲイン偏差）や、IF-AGCアンプ72のゲインリダクションの特性のバラツキを吸収でき、これらのバラツキに起因するAGC開始入力レベルの変動を抑制できる。この結果、受信感度、並びに、波形歪みなどの復調性能を、さらに、設計値に近づけることができる。

【0101】ここで、IFアンプ73およびローパスフィルタ74は、IF-AGCアンプ72の後段に設けられているため、チューナ部11に比べて低い中間周波信号を処理している。また、RF-AGCアンプ52およびIF-AGCアンプ72によって、復調器13の信号レベルが一定になるように調整されるため、IFアンプ73およびローパスフィルタ74を通過する信号レベルの範囲は、限定されている。したがって、上記PGA回路25は、検波平滑回路21a～比較回路24およびRF-AGCアンプ55a～55cのように帰還ループを持たず、IF-AGCアンプ72のゲインを所定の値に調整しているだけの簡略な構成であるにも拘らず、何ら支障なく、各部材71～74のゲインのバラツキ（ゲイン偏差）や、IF-AGCアンプ72のゲインリダクションの特性のバラツキを吸収できる。

【0102】なお、上記では、PGA回路25のように、電子ポテンショメータを用いて自動調整する場合について説明したが、IFアンプ73のゲインを予め定める値に設定可能であれば、例えば、PGA回路25の代わりに可変抵抗を設け、当該可変抵抗の抵抗値を手動で調整するなどして、IFアンプ73のゲインを手動で調整してもよい。ただし、本実施形態のように、ゲインの値を自動設定する方が、調整の精度と効率とを向上できる。

【0103】〔第5の実施形態〕本実施形態では、図12ないし図14を参照しながら、TOPを変更することで、デジタル受信機を構成する各部材の特性バラツキを補償する方法、および、その方法に適したデジタル受信機について説明する。

【0104】すなわち、本実施形態に係るデジタル受信機1dでは、図1に示す各上記部材21a～24に代えて、検波平滑回路21bと同様に、チューナ部11の出力ノード（混合器58の出力ノード）における信号レベルを検出する検波平滑回路31が設けられている。また、RF入力AGC開始入力レベルを超えた時点を実測するために、予め定められた定電圧を出力する定電圧源32と、定電圧源32の出力とAGC制御回路61が

出力する制御電圧とを比較して、RF入力がAGC開始入力レベルを超えたか否かを判定する比較器33とが設けられている。さらに、デジタル受信機1dは、上記検波平滑回路31の出力と比較器33の出力とを参照して、予め定められた手順で、復調器13のTOPを調整するCPU（切り換え点調整手段）14と、CPU14により参照されるメモリ15とを備えている。

【0105】なお、上記各部材21a～24の削除に伴って、AGC制御回路61は、RF-AGCアンプ55a～55cの利得を制御すると共に、RF-AGCアンプ52に代えてRFアンプ63が設けられている。

【0106】上記定電圧源32が出力する定電圧は、例えば、制御電圧が図6に示すように変化する場合で、4Vに設定されるなど、RF-AGCアンプ52のゲインが変化する時点（RF入力の信号レベルがAGC開始入力レベルを超えた時点）で、比較器（判定手段）33の出力が反転するように設定されている。

【0107】また、上記メモリ15には、標準的なデジタル受信機1dにおいて、TOPを変化させた場合における検波平滑回路31の出力値が、例えば、各出力値に対応するTOPの値を出力可能なルックアップテーブルとして、予め格納されている。さらに、CPU14は、例えば、図2に示すレジスタ86へ値を設定するなどして、復調器13のTOPを変更できる。

【0108】上記構成のデジタル受信機1dでは、各チャンネルのTOPを調整する際、RF入力端子T1に信号発生器2が接続される。この状態で、図13に示すステップ1（以下では、S1のように略称する）において、CPU14は、復調器13を介して、PLL回路60へ指示して、TOPを調整するチャンネルを選局させる。また、S2において、信号発生器2は、例えば、10dBmVなど、復調器13が中間周波処理部12のゲインを一定にする程度に大きなレベルで、しかも、選局したチャンネルのQAM変調信号を出力する。

【0109】この状態では、復調器13は、中間周波処理部12のゲインを一定に保ち、チューナ部11のゲインを制御して復調器13の入力レベルを一定に保っているが、TOPとして、デフォルトの値（規定値）が設定されているため、チューナ部11や中間周波処理部12のバラツキによって、チューナ部11の出力レベルI3rは、設計値からズレている。

【0110】この状態で、CPU14は、検波平滑回路31の出力値に基づいて、チューナ部11の実際の出力レベルI3rを読み取り、上記設計値とのズレを取得する（S3）。さらに、CPU14は、S4において、メモリ15のルックアップテーブルを参照して、上記ズレの分だけ、チューナ部11の出力レベルが低くなるようなTOPの値を取得し、復調器13のTOPを当該値に設定する（S4）。これにより、検波平滑回路31の出力値が3dBだけ設計値よりも高ければ、現在の設定よ

りも、3 dBだけ低い出力値が得られる値が、新たなTOPとして設定される。この結果、検波平滑回路31の検出点以降の回路のゲイン偏差、並びに、当該検出点以降の回路における制御電圧に対するゲインリダクションの特性バラツキが補償され、補正後の検波平滑回路31の出力値(I4r)は、設計値I0dとなる。

【0111】また、S11において、信号発生器2は、最低の出力レベル(例えば、-15 dBmV)から、徐々に出力レベルを上昇させ、CPU14は、比較器33の出力を監視して、反転する時点、すなわち、AGC開始入力レベルR5rを取得する。さらに、CPU14は、S12において、AGC開始入力レベルR5rと設計値R0dとのズレが、中間周波処理部12のゲイン偏差によって発生していると仮定して、すなわち、チューナ部11のゲインが設計値通りであると仮定して、中間周波処理部12のゲインによって決まるチューナ部11の出力レベルが、上記ズレを打ち消す分だけ変化するよう、TOPを補正する。

【0112】例えば、図14に示すように、上記S11にて検出されたAGC開始入力レベルがR5rで、設計値がR0dだったとする。この状態で、チューナ部11のゲインが設計値通り、I0d-R0dと仮定すると、AGC開始入力レベルのズレがR5r-R0dなので、AGC開始入力レベルを設計値R0dとするためには、チューナ部11の出力レベルを、 $I6r = I0d - (R5r - R0d)$ に設定する必要がある。したがって、CPU14は、上記S12において、メモリ15のルックアップテーブルを参照するなどして、チューナ部11の出力レベルがI6rとなるように、TOPの値を調整する。

【0113】上記S12において、チューナ部11のゲインが設計値通りであると仮定した場合のTOPの調整が終了すると、S13において、上記S11と同様に、信号発生器2は、最低の出力レベルから、徐々に出力レベルを上昇させ、CPU14は、比較器33の出力を監視して、AGC開始入力レベルR7rを取得する。ここで、上記S12において、TOPは、チューナ部11のゲインが設計値通りであると仮定して設定されている。したがって、S14において、CPU14は、AGC開始入力レベルR7rと設計値R0dとのズレが、チューナ部11の実際のゲインと設計値とのズレであると判断して、チューナ部11の出力レベルが、現在の値から、上記ズレを打ち消す分だけ変化するよう、TOPを補正する。

【0114】例えば、図14に示すように、上記S13にて検出されたAGC開始入力レベルがR7rで、設計値がR0dだったとする。このAGC開始入力レベルR7rを測定した際、TOPは、チューナ部11のゲインが設計値通り、I0d-R0dと仮定して、チューナ部11の出力レベルがI6rとなるように設定されてい

る。したがって、上記AGC開始入力レベルのズレ($R7r - R0d$)は、チューナ部11のゲイン偏差に起因し、チューナ部11の実際のゲインは、 $I6r - R7r$ であることがわかる。この場合、CPU14は、上記S14において、チューナ部11の出力レベルが、 $I8r = I6r - (R7r - R0d)$ となるように、TOPを調整する。

【0115】上記S11~S14のように、実際のAGC開始入力レベルの測定と測定結果に応じたTOPの設定とを2回繰り返すことで、チューナ部11および中間周波処理部12にバラツキが発生したとしても、バラツキに応じたTOPを設定でき、AGC開始入力レベルを最適な値に設定できる。復調器13は、ダイナミックレンジが広いRF入力が増加されても、ダイナミックレンジの全域に渡って、高い感度と高い復調性能とを維持できる。

【0116】上記S1~S14は、各チャンネル毎に繰り返される。これにより、全てのチャンネルにおいて、TOPは、ダイナミックレンジの全域に渡って、高い感度と高い復調性能とを維持可能な値に設定される。各チャンネルと、そのチャンネルで適切なTOPとは、例えば、メモリ15に格納され、CPU14は、選局されたチャンネルに応じたTOPをメモリ15から読み出して、復調器13のレジスタ86に設定する。

【0117】ここで、上記S1~S14において、TOPを設定する際、RF入力端子T1には、信号発生器2が接続されている。したがって、例えば、デジタル受信機1dの設定を確認する検査、あるいは、デジタル受信機1dの受信感度特性や耐歪み特性を測定する受信性能検査のように、QAM信号を増加しながら実施する検査と、上記S1~S14のTOP設定とを同時に実施できる。これにより、TOP設定および検査を効率良く実施できる。また、信号発生器2は、信号の周波数や信号レベルなどを予め定められた手順で自動的に順次変更できるので、上記TOP設定および検査の信頼性を向上できる。

【0118】なお、上記では、S1・S2のように、TOPの値を調整することで、中間周波処理部12のゲインのバラツキ、並びに、IF-AGCアンプ72のゲインリダクション特性のバラツキを補償したが、第4の実施形態のように、PGA回路25を設け、IFアンプ73のゲインを調整するなどして、これらのバラツキを補償してもよい。

【0119】いずれの場合であっても、AGC開始入力レベルを実測しながらTOPを調整することで、第1ないし第4の実施形態のように、帰還ループを設けることなく、デジタル受信機1d間の個体差や、互いに異なる周波数帯域用の部材(例えば、RF-AGCアンプ55a~55cなど)間の個体差に応じて、AGC開始入力レベルを設定できる。この結果、第1ないし第4の実施

形態よりも簡単な回路で、ダイナミックレンジの全域に渡って、高い感度と高い復調性能とを維持できる。

【0120】〔第6の実施形態〕本実施形態では、チューナ部11および中間周波処理部12を構成する部材に特性バラツキが発生しても、隣接チャンネル妨害信号に起因するAGC開始入力レベルの変動を防止可能なデジタル受信機について説明する。

【0121】すなわち、本実施形態に係るデジタル受信機1eでは、図15に示すように、図12に示す定電圧源32および比較器33に代えて、RF-AGCアンプ52への制御電圧をデジタル値に変換してCPU14へ伝えるADC回路（利得監視手段）34が設けられている。なお、本実施形態では、メモリ15が特許請求の範囲に記載の記憶手段に対応する。

【0122】上記構成では、図16に示すS21において、信号発生器2は、最低の出力レベルから、徐々に出力レベルを上昇させる。さらに、CPU14は、各出力レベルにおいて、検波平滑回路31の出力に基づいて、RF-AGCアンプ52のゲインリダクションを取得し、ADC回路34の出力値に基づいて、制御電圧を取

得すると共に、ゲインリダクションと制御電圧との組み合わせをメモリ15に格納する。これにより、RF-AGCアンプ52の制御電圧に対するゲインリダクションの特性が記憶される。

【0123】さらに、例えば、受信時など、RF入力

が印加されている状態で、CPU14は、S22において、現在のゲインリダクションおよび制御電圧と上記特性とを比較して、隣接チャンネル妨害信号の影響を評価し、当該影響を打ち消すように、TOPを変更するなどして、AGC開始入力レベルを調整する。

【0124】具体的には、隣接チャンネルに大きな信号

があった場合、チューナ部11のRF-AGCアンプ52では、この信号（隣接チャンネル妨害信号）を完全には除去できないため、隣接チャンネル妨害信号によって、RF-AGCアンプ52の制御電圧が、隣接チャンネル妨害信号がないときの値から変化する場合がある。この結果、受信チャンネルのRF入力の信号レベルが低く、本来であれば、チューナ部11のゲインを最大に設定する方が望ましいにも拘らず、復調器13は、チューナ部11のゲインを最大に設定せず、より低い値に制御してしまう。これにより、受信チャンネルのS/N比が低下する虞れがある。

【0125】例えば、図17に示すように、チューナ部

11の最大ゲインが（ $I31r - R31r = I32r - R32r$ ）であり、復調器13が、チューナ部11の出力レベルが $I31r \sim I32r$ の間は、チューナ部11のゲインが最大になるように制御しているとする。こ

で、隣接チャンネルに大きな信号があった場合、例え

ば、ハイパスフィルタ51など、RF段のフィルタで

は、当該信号成分を除去できないため、チューナ部11

のゲインは、見かけ上、減少し、例えば、（ $R33r - I31r$ ）となる。この場合、AGC開始入力レベルが、本来の値（ $R31r$ ）から $R33r$ となり、本来であれば、チューナ部11のゲインを最大に設定する方が望ましいにも拘らず、復調器13は、チューナ部11のゲインを最大より低い値に制御し、受信チャンネルのS/N比が低下してしまう。

【0126】一方、隣接チャンネル妨害信号がなく、受信チャンネルにおけるRF入力の信号レベルが大きくなった場合も、チューナ部11の入力レベルが、上記値 $R13r$ になる可能性がある。なお、この場合は、チューナ部11のゲインが最大値（ $I31r - R31r = I32r - R32r$ ）に保たれているので、チューナ部11の出力レベルは、 $I33r$ となる。

【0127】ここで、メモリ15には、RF-AGCアンプ52の特性として、隣接チャンネル妨害信号がない場合の検波平滑回路31の出力値とADC回路34の出力値との組み合わせが格納されている。したがって、図17の例では、RF入力が $R33r$ となる制御電圧に対応するチューナ部11の出力値として、出力値 $I33r$ が格納されている。

【0128】この場合、隣接チャンネル妨害信号があると、上記ゲインリダクションによって、検波平滑回路31は、チューナ部11の出力レベルとして、 $I31r$ を検出し、ADC回路34は、RF入力の信号レベルが $R33r$ となるような制御電圧を検出する。したがって、CPU14は、実際に検出した組み合わせが、上記メモリ15に格納された組み合わせと相違していることから、隣接チャンネル妨害信号があることを認識する。さらに、CPU14は、隣接チャンネル妨害信号によるゲインリダクションによって、本来の出力値、すなわち、メモリ15に格納された出力値 $I33r$ が、実際に検出した出力値 $I31r$ へ変化したと判断して、両者のレベル差（ $I33r - I31r$ ）だけ、チューナ部11の出力値が低くなるように、例えば、TOPを調整するなどして、AGC開始入力レベルを調整する。

【0129】これとは逆に、隣接チャンネル妨害信号がない場合、CPU14は、実際に検出した組み合わせが、上記メモリ15に格納された組み合わせと一致していることから、隣接チャンネル妨害信号がないと判断し、AGC開始入力レベルを調整しない。

【0130】このように、本実施形態に係るデジタル受信機1eでは、予め格納された制御電圧とチューナ部11の出力レベルとの組み合わせと、実際に測定された組み合わせとを比較して、隣接チャンネル妨害信号の有無と、妨害の程度とを判断し、妨害を打ち消すように、AGC開始入力レベルを調整する。これにより、隣接チャンネル妨害信号の大きさに拘らず、AGC開始入力レベルを最適な値に維持でき、高い受信感度と高い復調性能とを両立可能なデジタル受信機1eを実現できる。

【0131】

【発明の効果】本発明に係る自動利得制御方法は、以上のように、第1の利得制御工程で高周波信号の利得が制御された後から、第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の複数箇所、それぞれ信号レベルを検出するレベル検出工程と、上記レベル検出工程にて検出された各信号レベルの差が、予め定める一定値となるように、上記信号経路中の信号レベルを制御する第3の利得制御工程とを含んでいる構成である。

【0132】上記構成では、第1および第2の利得制御工程や周波数を変換する工程を実施する回路の個体差によって、各検出箇所間の信号経路上の部材に利得偏差が発生したとしても、当該利得偏差は、上記第3の利得制御工程によって吸収され、各検出箇所での信号レベル差を一定の値に保つことができる。この結果、利得制御後の中間周波信号に基づいて、第1および第2の利得制御工程の利得を決定しているにも拘らず、上記信号経路上の部材の利得偏差に起因する、利得決定工程における利得制御の誤りを防止できる。これにより、例えば、自動利得制御回路など、上記各工程を実施する回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0133】本発明に係る自動利得制御回路は、以上のように、第1および第2の利得制御手段間の信号経路の複数箇所、それぞれの信号レベルを検出する検出手段と、上記信号経路上に設けられ、上記各検出箇所での信号レベル差が一定の値となるように利得が制御される第3の利得制御手段とを備えている構成である。

【0134】上記構成では、自動利得制御回路間の個体差によって、各検出箇所間の信号経路上の部材に利得偏差が発生したとしても、当該利得偏差は、上記第3の利得制御手段によって吸収され、各検出箇所での信号レベル差が一定の値に保たれる。この結果、制御手段が第2の利得制御手段よりも後で、第1および第2の利得制御手段の利得を制御しているにも拘らず、上記信号経路上の部材の利得偏差に起因する、制御手段の利得制御の誤りを防止できる。これにより、自動利得制御回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0135】本発明に係る自動利得制御回路は、以上のように、上記構成に加え、上記第3の利得制御手段は、例えば、SAWフィルタの後など、上記周波数変換手段の後に設けられている構成である。

【0136】当該構成によれば、広い周波数帯域に渡って、周波数特性を向上するために、高周波信号の信号経路が、周波数帯域に応じて、複数に分割され、各経路の利得が大きく異なる場合であっても、利得の少ない経路に合わせて、利得を大きく設定可能な経路の利得を抑制する必要がない。

【0137】また、第3の利得制御手段が中間周波信号の利得を制御して、上記各検出点間のレベル差を一定の値に保つ。したがって、入力される高周波信号の帯域が広い場合であっても、高周波信号の利得を制御するよりも容易に、周波数特性の良い第3の利得制御手段を実現できるという効果を奏する。

【0138】本発明に係る自動利得制御回路は、以上のように、上記各構成に加え、上記第1の利得制御手段がピンダイオードで構成され、上記第3の利得制御手段がデュアルゲート電界効果トランジスタから構成されている構成である。

【0139】当該構成では、受動素子であり、周波数特性を向上しやすいピンダイオードで、第1の利得制御手段が構成され、デュアルゲート電界効果トランジスタによって形成された回路、すなわち、ピンダイオードよりも周波数特性の向上が難しいものの、安価で、高感度な回路によって、第3の利得制御手段が構成されている。したがって、周波数特性、感度および費用の全てでバランスのとれた自動利得制御回路を実現できるという効果を奏する。

【0140】本発明に係る自動利得制御方法は、以上のように、利得の合計が切り換え点を下回る信号レベルの高周波信号が入力端子へ入力されている状態で、第1の利得制御工程で高周波信号の利得が制御された後から、第2の利得制御工程で中間周波信号の利得が制御される前までの信号経路の特定箇所の信号レベルを検出するレベル検出工程と、上記レベル検出工程にて検出された信号レベルが、予め定める値となるように、上記第2の利得制御工程で利得が制御された後の中間周波信号の利得を制御する第3の利得制御工程とを含んでいる構成である。

【0141】上記構成では、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が入力されている状態で、特定箇所の信号レベルが検出され、第3の利得制御工程の利得は、当該信号レベルの実測値が所定値になるように設定される。これにより、上記信号経路上の利得偏差を打ち消すことができる。この結果、上記各工程を実施する回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0142】本発明に係る自動利得制御方法は、以上のように、上記第3の利得制御工程に代えて、上記レベル検出工程にて検出された信号レベルが、予め定める値となるように、上記切り換え点を調整する切り換え点調整工程を含んでいる構成である。

【0143】当該構成では、上記第2の利得制御工程で利得が制御された後の中間周波信号の利得を制御する代わりに、上記切り換え点を調整することで、上記特定箇所の信号レベルが所定値に維持される。これにより、上記第2の利得制御工程で利得が制御された後の中間周波

信号の利得を制御する場合と同様に、自動利得制御回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0144】本発明に係る自動利得制御回路は、以上のように、第1および第2の利得制御手段間の信号経路の特定箇所における信号レベルを検出する検出手段と、上記第2の利得制御手段と制御手段との間に設けられた第3の利得制御手段と、利得の合計が上記切り換え点を下回る信号レベルの高周波信号が上記入力端子へ入力されている状態における上記検出手段の出力が、予め定める値となるように、上記第3の利得制御手段の利得を設定する利得設定手段とを備えている構成である。

【0145】それゆえ、利得制御後の中間周波信号に基づいて、第1および第2の利得制御手段の利得を決定しているにも拘らず、上記信号経路上の部材の利得偏差に起因する、制御手段の利得制御の誤りを防止できる。これにより、自動利得制御回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0146】本発明に係る自動利得制御回路は、以上のように、上記第3の利得制御手段および利得設定手段に代えて、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が上記入力端子へ入力されている状態における上記検出手段の出力が、予め定める値となるように、上記切り換え点を調整する切り換え点調整手段を備えている構成である。

【0147】上記構成では、第3の利得制御手段の利得を調整する代わりに、上記切り換え点を調整することで、上記利得の合計が上記切り換え点を下回る信号レベルの高周波信号が入力されている状態における上記検出手段の出力が、予め定める値となるように調整される。これにより、第3の利得制御手段および利得設定手段を有する場合と同様に、自動利得制御手段間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0148】本発明に係る自動利得制御方法は、以上のように、信号レベルを変更しながら、入力端子へ高周波信号を入力すると共に、利得決定工程で決定される利得を監視することで、第2の利得制御工程における利得の固定が開始される時点の入力信号レベルを検出する第1の開始入力レベル検出工程と、上記検出された入力信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値が大きくなるように、上記切り換え点を調整する第1の切り換え点調整工程と、上記第1の切り換え点調整工程の後に、信号レベルを変更しながら、上記第2の利得制御工程における利得の固定が開始される時点の入力信号レベルを再度検出する第2の開始入力レベル検出工程と、上記検出された入力信号レベルが、予め定める基準値を超過した分だけ、上記固定される利

得の値が大きくなるように、上記切り換え点を調整する第2の切り換え点調整工程とを含んでいる構成である。

【0149】上記構成によれば、入力端子へ印加する高周波信号の信号レベルを変更しながら、利得固定を開始する際の信号レベル（開始入力レベル）が測定され、測定結果に応じて、切り換え点が調整される。この結果、例えば、自動利得制御回路など、上記各工程を実施する回路間の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0150】本発明に係る自動利得制御方法は、以上のように、上記構成に加えて、利得制御後の中間周波信号を復調する復調工程を含み、上記第1および第2の開始入力レベル検出工程の少なくとも一方にて、信号レベルを変更しながら上記入力端子へ印加される高周波信号を用いて、上記復調工程での受信性能を検査する構成である。

【0151】上記構成によれば、信号レベルを変更しながら、入力端子へ高周波信号を印加する期間中に、上記第1および第2の開始入力レベル検出工程の少なくとも一方と、受信性能の検査との双方を同時に実施できる。したがって、検査に要する時間を短縮できるという効果を奏する。

【0152】本発明に係る自動利得制御回路は、以上のように、第1または第2利得制御手段へ指示される利得を監視して、上記第2の利得制御手段の利得の固定が開始されているか否かを判定する判定手段と、利得固定の開始が検出された時点で入力端子に印加されている高周波信号の信号レベルが、予め定める基準値を超過した分だけ、上記固定される利得の値が大きくなるように、上記切り換え点を調整する切り換え点調整手段とを備えている。

【0153】上記構成において、入力端子へ印加する高周波信号の信号レベルを変化させながら、判定手段による判定と、切り換え点調整手段による調整とを2回繰り返すと、初回の判定および調整が、上述の第1の第1の開始入力レベル検出工程および第1の切り換え点調整工程に相当し、2回目の判定および調整が、上述の第1の第2の開始入力レベル検出工程および第2の切り換え点調整工程に相当する。

【0154】したがって、周波数変換手段、並びに、第1および第2の利得制御手段の特性バラツキを補償可能な値に、切り換え点を調整できる。この結果、自動利得制御回路の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0155】本発明に係る自動利得制御方法は、以上のように、第1の利得制御工程で指示される利得の規定値と、第1の利得制御工程で高周波信号の利得が制御された後から第2の利得制御工程で中間周波信号の利得が制

10

20

30

40

50

御される前までの信号経路の特定箇所における信号レベルの規定値との組み合わせを、予め記憶する記憶工程と、上記特定箇所における信号レベルと、上記第1の利得制御工程で指示される利得とを監視する実測工程と、上記実測工程で実測された信号レベルと利得との組み合わせが、上記記憶工程で記憶された規定値の組み合わせにない場合、規定値の組み合わせになるように、上記切り換え点を調整する切り換え点調整工程とを含んでいる構成である。

【0156】上記構成によれば、切り換え点調整工程において、上記実測工程で実測された信号レベルと利得との組み合わせと、上記記憶工程で記憶された規定値の組み合わせとが比較され、実測値の組み合わせが規定値の組み合わせになるように、上記切り換え点が調整される。これにより、上記隣接チャンネルによる妨害の有無と、妨害の程度とを評価でき、妨害による利得制御の誤差を補償できる。この結果、自動利得制御回路の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【0157】本発明に係る自動利得制御回路は、以上のように、第1および第2の利得制御手段間の信号経路の特定箇所における信号レベルを検出する検出手段と、上記第1利得制御手段へ指示される利得を検出する利得監視手段と、上記検出手段で検出される信号レベルの規定値と、上記利得監視手段で検出される利得の規定値との組み合わせを記憶する記憶手段と、上記検出手段および利得監視手段の実測値の組み合わせが、上記記憶手段に格納された規定値の組み合わせにない場合、上記実測値の組み合わせが、上記規定値の組み合わせになるように、上記切り換え点を調整する切り換え点調整手段とを備えている構成である。

【0158】上記構成において、切り換え点調整手段は、上記利得監視手段および検出手段で実測された信号レベルと利得との組み合わせと、上記記憶手段に記憶された規定値の組み合わせとを比較して、実測値の組み合わせが規定値の組み合わせになるように、上記切り換え点を調整する。これにより、上記隣接チャンネルによる妨害の有無と、妨害の程度とを評価でき、妨害による利得制御の誤差を補償できる。この結果、自動利得制御回路の個体差を吸収でき、受信感度、並びに、波形歪みなどの復調性能を最適な値に維持できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すものであり、デジタル受信機の要部構成を示すブロック図である。

【図2】上記デジタル受信機に設けられた復調器の要部構成を示すブロック図である。

【図3】上記デジタル受信機において、RF-AGCアンプのゲインとIF-AGCアンプのゲインとの分配方法を示す説明図である。

【図4】上記RF-AGCアンプにおいて、制御電圧に対するゲインリダクション特性を示すグラフである。

【図5】上記IF-AGCアンプにおいて、制御電圧に対するゲインリダクション特性を示すグラフである。

【図6】上記RF-AGCアンプにおいて、RF入力信号レベルと、制御電圧との関係を示すグラフである。

【図7】上記IF-AGCアンプにおいて、RF入力信号レベルと、制御電圧との関係を示すグラフである。

【図8】上記デジタル受信機において、RF-AGCアンプのゲインとIF-AGCアンプのゲインとの分配方法を示すものであり、個々の部材の特性にバラツキがある場合を示す説明図である。

【図9】本発明の他の実施形態を示すものであり、デジタル受信機の要部構成を示すブロック図である。

【図10】本発明のさらに他の実施形態を示すものであり、デジタル受信機の要部構成を示すブロック図である。

【図11】本発明のまた別の実施形態を示すものであり、デジタル受信機の要部構成を示すブロック図である。

【図12】本発明のさらに他の実施形態を示すものであり、デジタル受信機の要部構成を示すブロック図である。

【図13】上記デジタル受信機の動作を示すフローチャートである。

【図14】上記デジタル受信機において、個々の部材の特性バラツキに起因するAGC開始入力レベルの補償方法を示す説明図である。

【図15】本発明のまた別の実施形態を示すものであり、デジタル受信機の要部構成を示すブロック図である。

【図16】上記デジタル受信機の動作を示すフローチャートである。

【図17】上記デジタル受信機において、隣接チャンネル妨害信号に起因するAGC開始入力レベルの補償方法を示す説明図である。

【図18】従来技術を示すものであり、デジタル受信機の要部構成を示すブロック図である。

【符号の説明】

1・1a~1e	デジタル受信機（自動利得制御回路）
13	復調器（制御手段）
14	CPU（切り換え点調整手段）
15	メモリ（記憶手段）
21a・21b・31	検波平滑回路（検出手段）
25	PGA回路（利得設定手段）
33	比較器（判定手段）
34	ADC回路（利得監視手段）
52	RF-AGCアンプ（第1の利得制御手段）

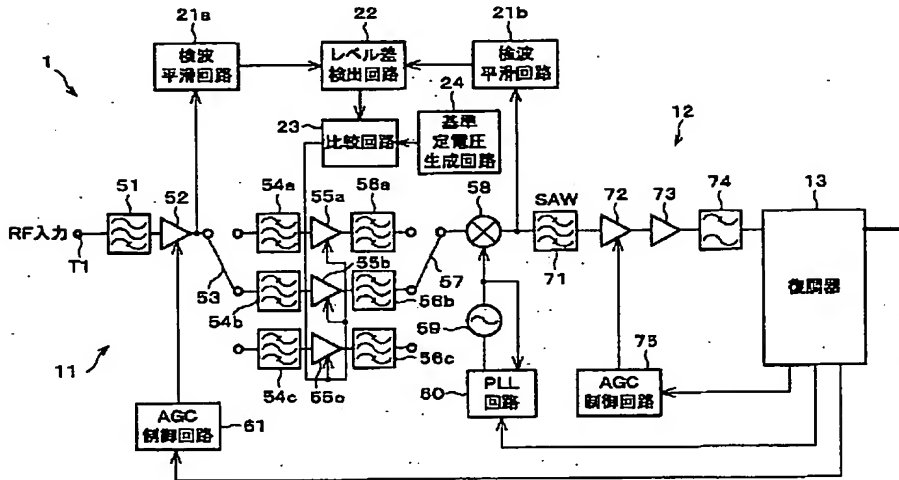
35

36

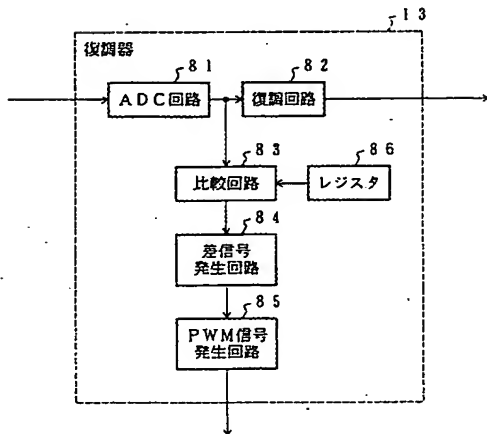
55a~55c RF-AGCアンプ (第1または第3の利得制御手段)
 58 混合器 (周波数変換手段)
 64 PINダイオード・アッテネータ (第1の利得制御手段)
 72 IF-AGCアンプ (第2または

は第3の利得制御手段)
 73 IFアンプ (第3の利得制御手段)
 76 IF-AGCアンプ (第2の利得制御手段)
 T1 RF入力端子 (入力端子)

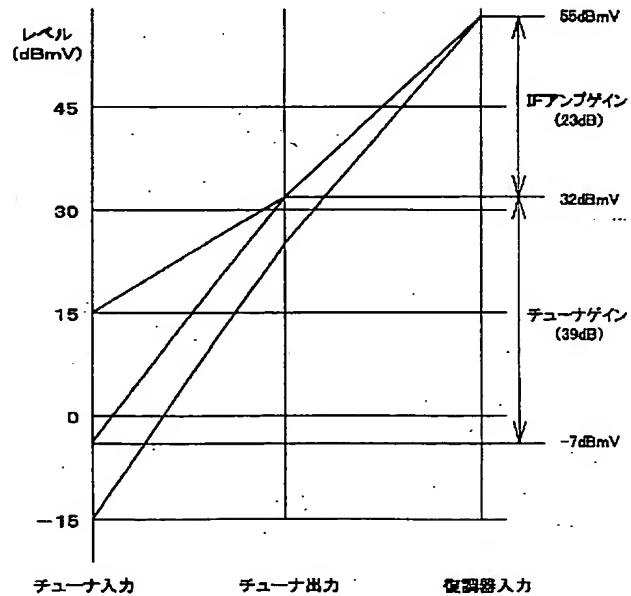
【図1】



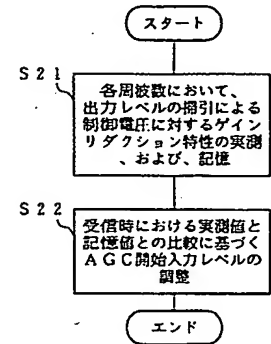
【図2】



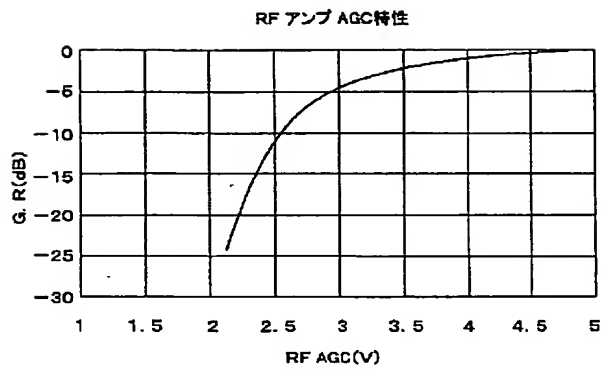
【図3】



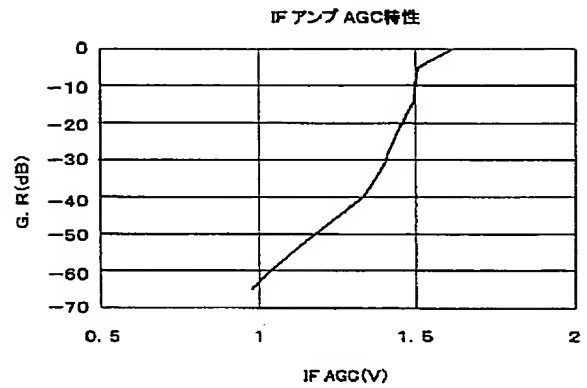
【図16】



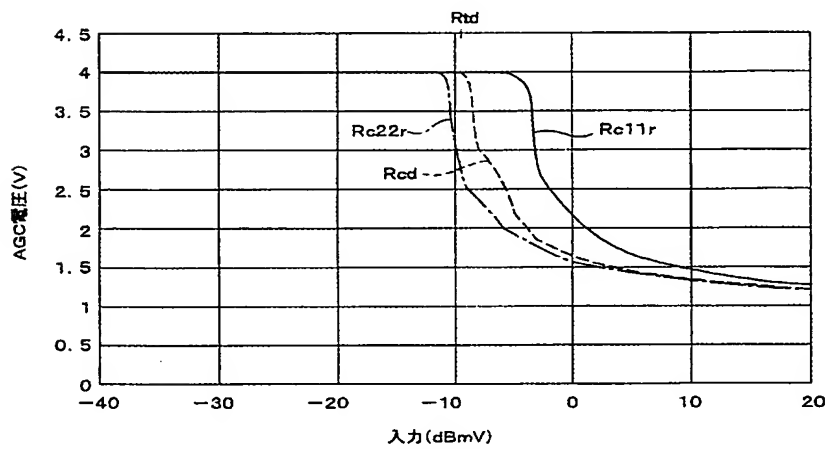
【図4】



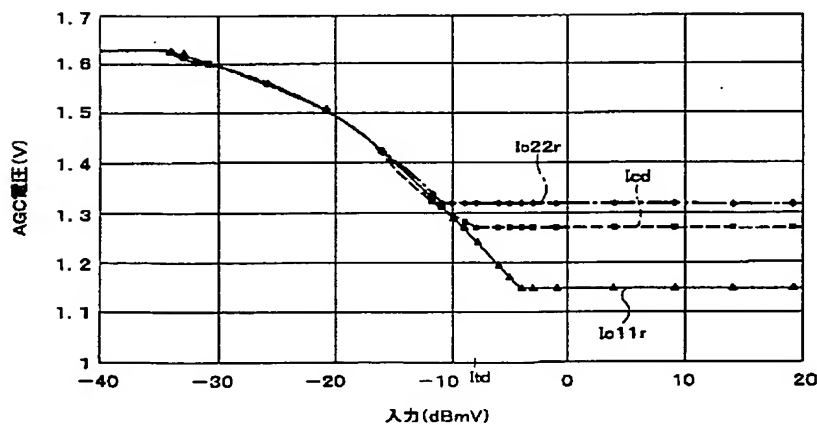
【図5】



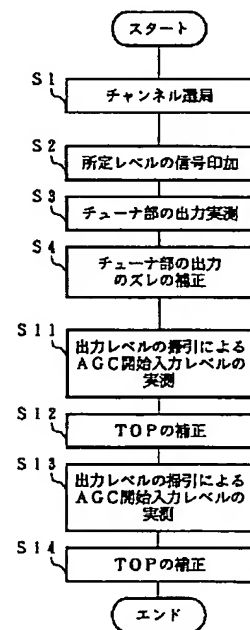
【図6】



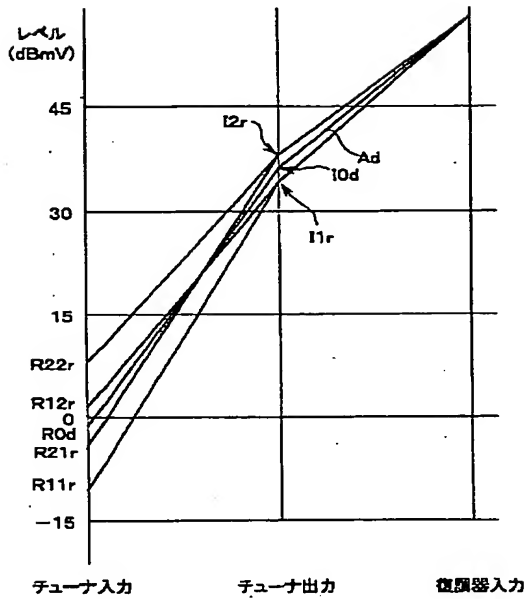
【図7】



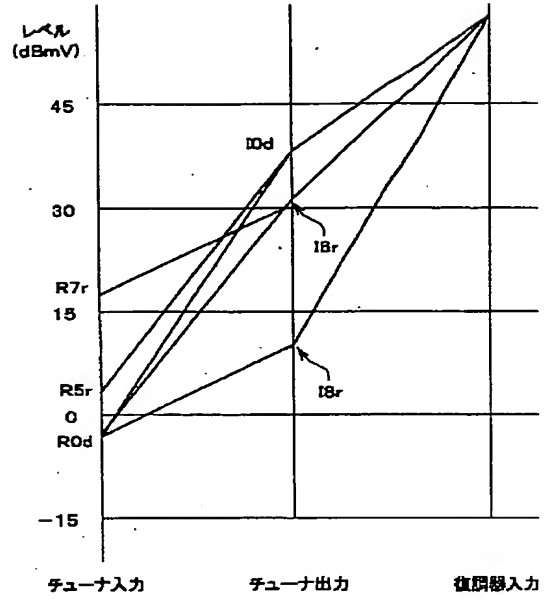
【図13】



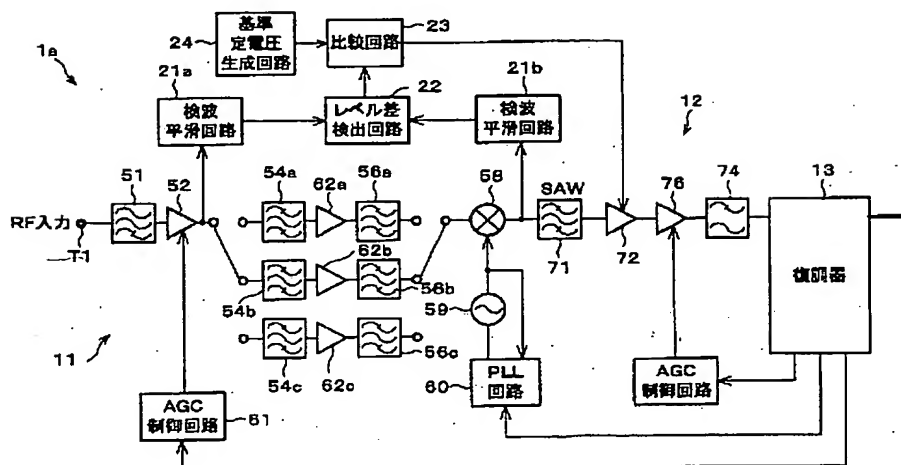
【図8】



【図14】

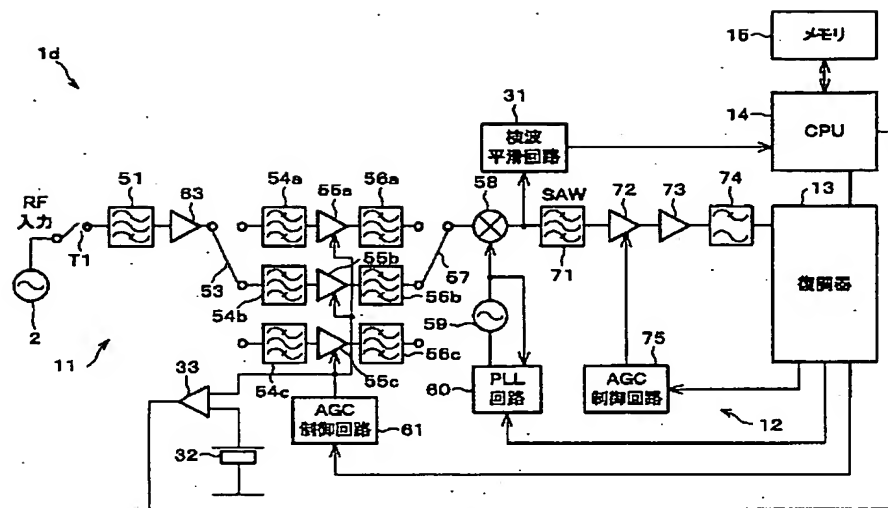


【図9】

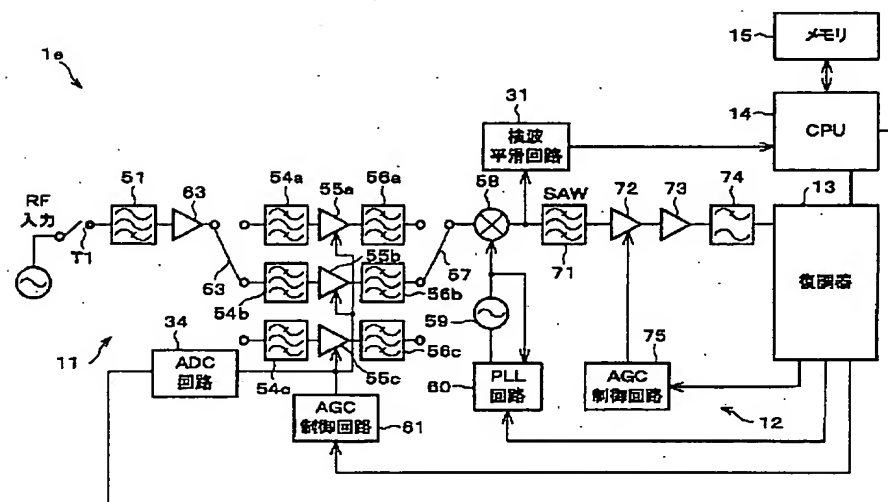


[illegible][illegible]

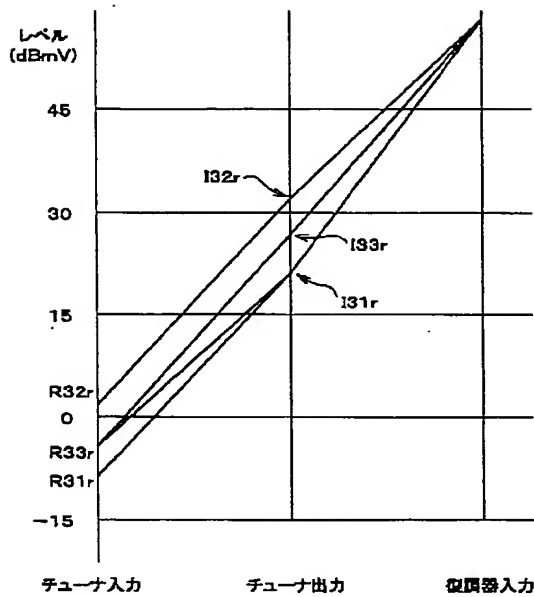
【图 1 2】



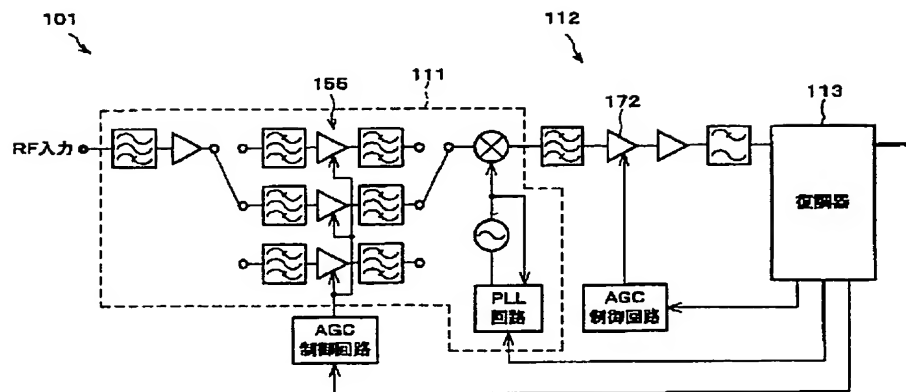
【☒ 15】



【図17】



【図18】



フロントページの続き

(51)Int.Cl.⁷

H04B 1/26

識別記号

F I

H04B 1/26

テ-マ-ト' (参考)

H

Fターム(参考) 5J100 JA01 KA05 LA00 LA09 MA01
QA01 QA04 QA06 SA02
5K020 AA03 DD21 DD24 EE01 EE04
HH13 KK01 LL01
5K061 AA11 BB06 BB15 CC08 CC16
CC23 CC25 CC45 CC52 CD04
CD08 JJ06 JJ07

THIS PAGE BLANK (USPTO)